

BINNING

Binning de píxeles es un clocking scheme empleado para combinar la carga recogida por varios píxeles adyacentes al CCD y se ha diseñado para reducir el ruido y mejorar la relación señal/ruido y la velocidad de fotografía de las cámaras digitales. El proceso de binning se ejecuta mediante un circuito on chip timing que controla los cambios de registro en serie y en paralelo antes de la amplificación de la señal analógica del CCD.

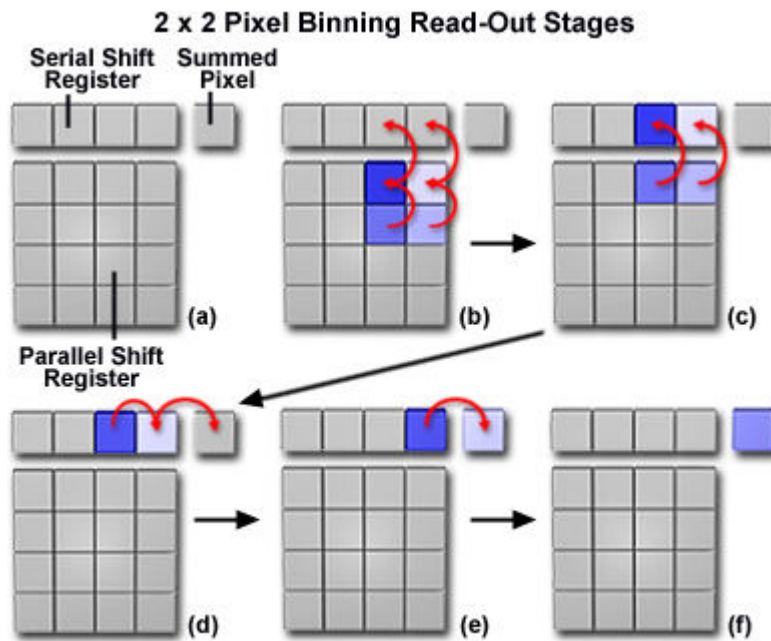


Figure 1

Para ayudar a explicar el proceso de binning se puede observar la Figura 1 que examina un ejemplo de binning 2x2. La Figura 1(a) muestra un esquema de una matriz de píxeles de registro de cambio en paralelo 4x4 junto con un cambio de registro en serie con cuatro puertas y un summing píxel o pozo (también denominado nodo de salida). Los fotones que iluminan impactan en los fotodiodos del CCD, creando un pozo de electrones que se acumula en cada píxel, representado en la Figura 1(b) como un grupo de terminales de cuatro cuadrados sombreados en azul en la esquina superior derecha del shift register en paralelo. El número de electrones que puede acumular cada píxel se denomina profundidad de pozo y oscila entre 30.000 y 350.000, dependiendo de las características del CCD. El rango dinámico de un CCD es directamente proporcional a la profundidad del pozo. Los niveles de incidencia de la luz y el tiempo de exposición determinan el número de electrones que se recogen en cada fotopuerta o sitio del píxel. Después de completar la exposición del CCD a un ciclo de iluminación, se transmiten los electrones a través de los registros de cambio en serie y el paralelo hasta un amplificador de salida y después de digitalizan con un circuito convertidor de analógico a digital (A/D). El binning se puede emplear para aumentar la precisión

de enfoque mediante la reducción del tiempo necesario para la adquisición de la imagen, a la vez que se proporciona una mayor sensibilidad para reducir niveles de luz que estén fuera del foco.

Para explicar este proceso, la Figura 1(b) muestra cómo cada píxel integrado en el registro en paralelo sube una puerta cada vez para alcanzar la disposición que se ve en la Figura 1(c). Aquí, los electrones de dos píxeles permanecen en el cambio de registro en paralelo mientras que aquellos de los otros dos han sido transferidos al cambio de registro en serie. Otra etapa (Figura 1(c)), cambia los electrones que quedan en el cambio de registro en paralelo para llenar los elementos de las puertas adyacentes en el registro en serie (Figura 1 (d)). La etapa final supone cambiar de carga del registro en serie, dos píxeles cada vez, al summing píxel (Figuras 1(d) y (e)). La Figura 1 muestra la carga combinada de cuatro píxeles en el pozo de summing esperando a ser transferidos a un amplificador de salida, donde se convertirá la señal en voltaje para transferirla a otros circuitos integrados para su posterior amplificación y digitalización. Este proceso continúa hasta que se ha leído la matriz completamente. En este ejemplo, se ha combinado el área de los cuatro píxeles adyacentes en un píxel más grande, a veces denominado super

píxel. La relación señal/ruido se ha aumentado por un factor de cuatro, pero la resolución de la imagen se ha cortado un 50 por ciento.

El tamaño de la matriz de binning se controla con el reloj del CCD, la polarización de los voltajes y la sincronización de la señal de procesamiento del video y normalmente se puede regular desde píxeles 2x2 a un máximo que puede incluir casi toda la matriz del CCD. Sin embargo, en el modo de binning, tanto el cambio de registro en serie como el nodo de salida acumularán una carga mucho mayor que en el modo normal y tiene que haber una capacidad de carga de electrones suficiente para prevenir la saturación. Los registros en serie típicos del CCD tienen una capacidad de carga dos veces mayor que la de los registros en paralelo y los nodos de salida normalmente contienen entre un 50 y un 100% más de capacidad de carga que los cambios de registro. Por ejemplo, los sensores de imagen de CCD fullframe Kodak KAF tienen una matriz paralela de 9

píxeles micrón, cada uno de los cuales tiene una capacidad de 120.000 electrones. Los registros en serie del KAF tienen el doble de capacidad que los registros en paralelo (240.000 electrones), mientras que el nodo de salida tiene una capacidad de 330.000 electrones.

La ventaja fundamental del binning de píxeles es mejorar la relación de señal-ruido en condiciones de poca luz al coste de la resolución espacial. La suma de muchos paquetes de carga reduce el nivel de ruido en la lectura y produce una mejoría en la señal igual al factor de binning (x4 en el ejemplo mencionado). El ruido oscuro común no se puede reducir con el binning y únicamente se puede solucionar enfriando el CCD a temperaturas bajas. El binning es muy útil en varias aplicaciones, especialmente cuando se desean tiempos de rendimiento rápido (frame rate=índice/velocidad de marco/frame) a coste de la resolución.

Bibliografía:

Mortimer Abramowitz - Olympus America, Inc., Two Corporate Center Drive., Melville, New York, 11747.

Michael W. Davidson - National High Magnetic Field Laboratory, 1800 East Paul Dirac Dr., The Florida State University, Tallahassee, Florida, 32310